



“CONGRESO INTERNACIONAL DE INVESTIGACIÓN E INNOVACIÓN 2016”

Multidisciplinario

21 y 22 de abril de 2016, Cortazar, Guanajuato, México

ARQUITECTURA DE TRANSMISIÓN SERIAL DE DATOS CON CORRECCIÓN DE ERRORES EN TIEMPO REAL UTILIZANDO VHDL

L. A. Diaz-Jimenez*, A. G. Hernández, L. Nava, N. A. Rodriguez y J. A. Soto-Cajiga

Centro de Ingeniería y Desarrollo Industrial, Av. Pie de la Cuesta 702, Desarrollo San Pablo, 76125 Querétaro, Qro., México

{ladiaz,algomez,narodriguez}@posgrado.cidesi.edu.mx

{jsoto,lnava}@cidesi.edu.mx

Resumen.- En este trabajo se presenta el diseño de una arquitectura de transmisión serial de datos con una técnica de corrección de errores. Para la detección y corrección de errores se implementó una codificación por el método de Hamming (255,247). Con esta arquitectura se envían 247 bytes de información más 8 bytes de ECC, teniendo un sobreflujo del 3.24%. Este método de codificación ha sido programado en VHDL en el software ISE Design Suite de Xilinx. Las pruebas y validación de la arquitectura se realizaron mediante simulación con las herramientas ISim Simulator y MATLAB.

Palabras Clave—FPGA, ECC, Hamming, Comunicación serial

I. INTRODUCCIÓN

En los sistemas electrónicos de comunicación serial, los errores durante el envío de la información son uno de los problemas más comunes que suelen suceder, estos problemas pueden ser debido a varios factores dentro de los que se pueden destacar problemas de sincronía y los distintos tipos de ruido existentes en el ambiente. Para la solución de estos problemas, los protocolos de transmisión por comunicación serial utilizan un método llamado “bit de paridad”, el cual consiste en



“CONGRESO INTERNACIONAL DE INVESTIGACIÓN E INNOVACIÓN 2016”

Multidisciplinario

21 y 22 de abril de 2016, Cortazar, Guanajuato, México

que el dispositivo transmisor adicione un bit de suma (mediante el operador or-exclusivo) por cada byte de información a enviar. Este bit permite al receptor detectar si el dato recibido es correcto o no, sin embargo, no ofrece la posibilidad de corregir el error, por lo tanto se solicita al transmisor enviar de nuevo la trama de datos que contiene al byte erróneo. Se han desarrollado múltiples técnicas para la detección y recuperación de datos en sistemas de comunicación, como son las técnicas de redundancia cíclica o códigos convolucionales. Sin embargo, en los sistemas automatizados de inspección de ductos [2], donde se transmite la información generada en tiempo real a una interfaz de usuario, el equipo se desplaza constantemente realizando una inspección continua, enviando la información de las señales obtenidas y no permitiendo latencias debidas a la solicitud del re-envío de la información [1]. La técnica de codificación por el método de Hamming, normalmente utilizada en sistemas de almacenamiento, se presenta como una excelente alternativa a la corrección de errores en la transmisión de la información debido a que sus operaciones son a nivel bit, y además, ya ha sido implementado en arquitecturas basadas en FPGAs.

Este trabajo presenta una propuesta de arquitectura para comunicación serial por medio del protocolo rs232 y rs485 en aplicaciones donde es posible tener errores en la transmisión, pero no es posible solicitar el re-envío de las tramas de datos debido a las latencias que se generarían en la interfaz de usuario. La arquitectura propuesta tiene una capacidad de recuperar hasta 8 bytes por cada 247 bytes de información enviada, generando únicamente 8 bytes de información adicional, que comparado con la técnica del bit de paridad genera 247 bits (31 bytes) adicionales por la misma cantidad de información enviada.



“CONGRESO INTERNACIONAL DE INVESTIGACIÓN E INNOVACIÓN 2016”
Multidisciplinario

21 y 22 de abril de 2016, Cortazar, Guanajuato, México

Este trabajo se presenta de la siguiente manera, en el capítulo 2 se muestra la propuesta de la arquitectura, así como el análisis de la paralelización de la comunicación para eliminar las latencias que puede generar la técnica de codificación por Hamming si no es paralelizada, en el capítulo 3 se presenta la simulación de la arquitectura para un sistema de comunicación serial que opera a 460800 baudios, y en el capítulo 4 se presentan las conclusiones.

II. DESARROLLO

De manera tradicional el esquema que constituiría una comunicación serial entre un sistema de inspección automático y la interfaz de usuario, constaría únicamente del sistema de medición y una computadora, o interfaz que permita visualizar los datos, considerando la longitud del cable de comunicación y la alta tasa de transmisión de datos, es necesario detectar errores antes de realizar la interfaz. Este trabajo plantea modificar dicho esquema, adicionando un módulo entre la interfaz de usuario y el sistema de medición como se muestra en la figura 1, utilizando la arquitectura propuesta permitiendo la verificación y corrección de la información de manera paralela, eliminando los retrasos de la información en la interfaz de usuario.

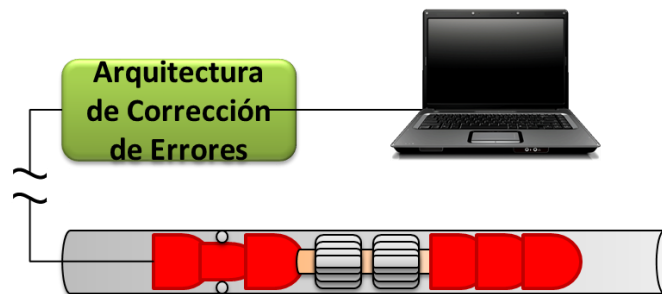


Figura1.- Esquema de comunicación propuesto entre un sistema de inspección automatizado y la interfaz de usuario.



“CONGRESO INTERNACIONAL DE INVESTIGACIÓN E INNOVACIÓN 2016”
Multidisciplinario

21 y 22 de abril de 2016, Cortazar, Guanajuato, México

El trabajo consiste en que el sistema de inspección automatizada envía paquetes de 247 bytes de información seguidos de 8 bytes con la codificación Hamming a una tasa de transferencia de 460800 baudios, los cuales son enviados a través de una red serial 485, estos datos son recibidos por la arquitectura propuesta. Esta arquitectura recibe la primera y segunda trama de datos con sus respectivas codificaciones de Hamming, las procesa y corrige si es necesario, y como resultado envía la trama corregida a la interfaz de usuario, sin parar de recibir las tramas subsecuentes a la trama 2. En la figura 2 se muestra el funcionamiento de la arquitectura donde las líneas punteadas representan tiempos, los superíndices el número de trama y los subíndices el número de dato, donde podemos observar que la trama número tres contiene un error en el dato número 2, esta trama está siendo recibida por la arquitectura, y al mismo tiempo está transmitiendo la primer trama. La trama número 3 es transmitida con la corrección del dato número 3, mientras se recibe la quinta trama.

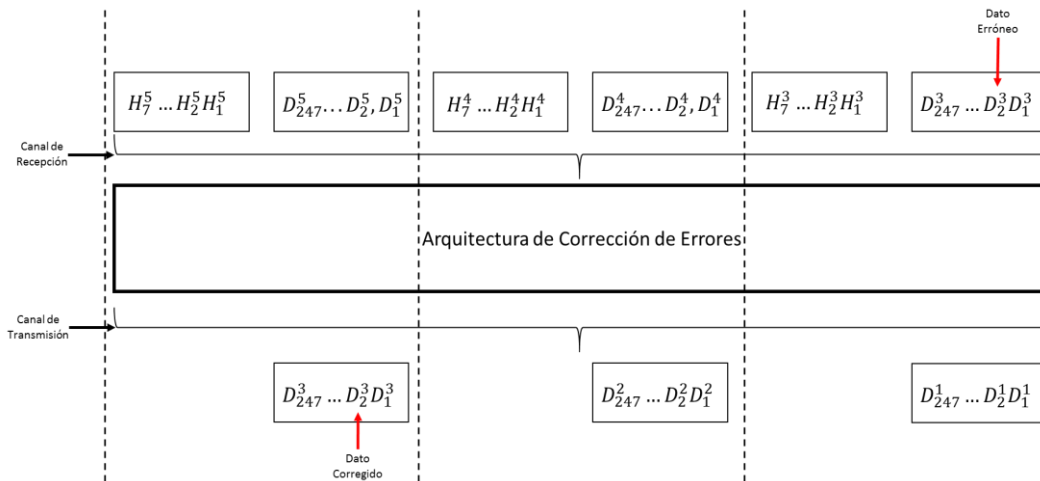


Figura 2.- Funcionamiento de la arquitectura propuesta.

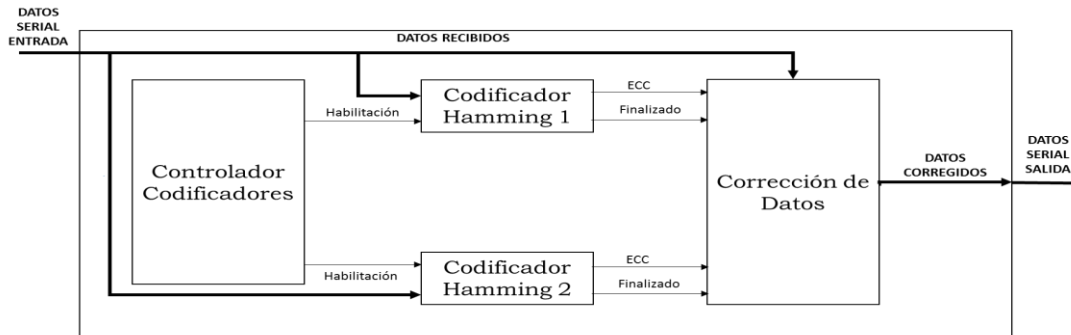
La arquitectura propuesta está constituida de la siguiente manera. Primeramente se cuenta con un control de codificadores de hamming [2] el cual habilita o deshabilita los módulos de codificación de Hamming 1 y 2, haciendo que estos módulos trabajen de manera alternada, cuando uno está realizando codificación, el otro módulo envía los ECC generados al módulo de corrección de errores. También cuenta con dos módulos de codificación de Hamming, estos módulos



“CONGRESO INTERNACIONAL DE INVESTIGACIÓN E INNOVACIÓN 2016”
Multidisciplinario

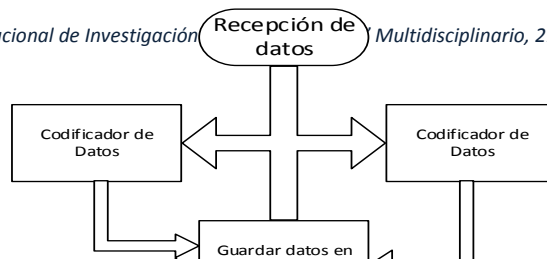
21 y 22 de abril de 2016, Cortazar, Guanajuato, México

reciben los datos por puerto paralelo, y trabajan a una frecuencia mayor que la de los demás módulos, de esta manera permite que con solo dos ciclos de reloj pueda procesar un dato recibido, al final de haber procesado los datos, envía los ECC generados al módulo de corrección de errores. Por último se cuenta con un módulo que es capaz de guardar los datos recibidos en RAM, tanto los provenientes por el puerto serial, como también los ECC generados, para lograr esto cuenta con dos frecuencias de trabajo y entrada de señales de finalización de proceso de los módulos de codificación de Hamming. Al recibir 512 bytes de información este módulo comienza a procesar la información almacenada y a corregir los errores que se detecten. La manera en que están codificados los datos es por posición de bit, de esta forma permite que exista una probabilidad máxima de detección y corrección de errores, de hasta 8 bytes de información por cada 247 bytes de información almacenada. Una vez procesada la información la envía fuera de la arquitectura de manera serial. En la figura 3 se muestra el diagrama de bloques de la arquitectura y en la figura 4 el diagrama de flujo.



Arquitectura de Corrección de Errores en tiempo real.

Figura 3. Diagrama de bloques de la arquitectura propuesta.





“CONGRESO INTERNACIONAL DE INVESTIGACIÓN E INNOVACIÓN 2016”
 Multidisciplinario
 21 y 22 de abril de 2016, Cortazar, Guanajuato, México

Figura 4. Diagrama de flujo para la recepción y corrección de los datos en la arquitectura propuesta

III. Resultados

Para el análisis de la arquitectura se generó una señal senoidal de 247 bytes y se realizó la codificación por Hamming en MATLAB, y posteriormente se cambiaron valores de la señal para simular ruido, como se muestra en la figura 5.

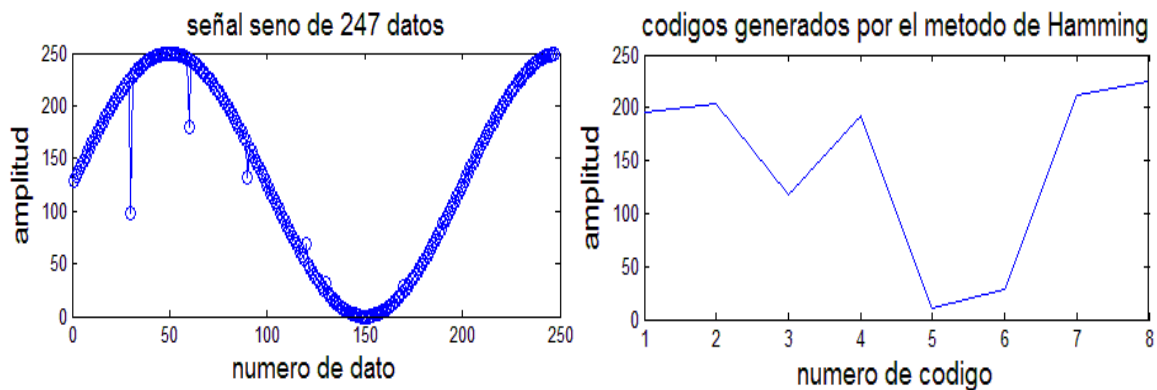


Figura 5.- Señal senoidal de 247 bytes y valores de codificación generados.

Esta señal senoidal se transfirió a la arquitectura mediante el software de simulación ISE y se probó el funcionamiento de la misma. Se puede observar en la





“CONGRESO INTERNACIONAL DE INVESTIGACIÓN E INNOVACIÓN 2016”
Multidisciplinario

21 y 22 de abril de 2016, Cortazar, Guanajuato, México

figura 6, como la arquitectura realiza la codificación por cada dato recibido, y después llega el momento en que activa el segundo bloque codificador (figura 7) y continúa realizando la codificación de manera continua, al final se puede observar como los datos son transferidos tras recibir 512 bytes de información (figura 8).

Figura 6.- Inicio de la codificación realizada por la arquitectura propuesta.

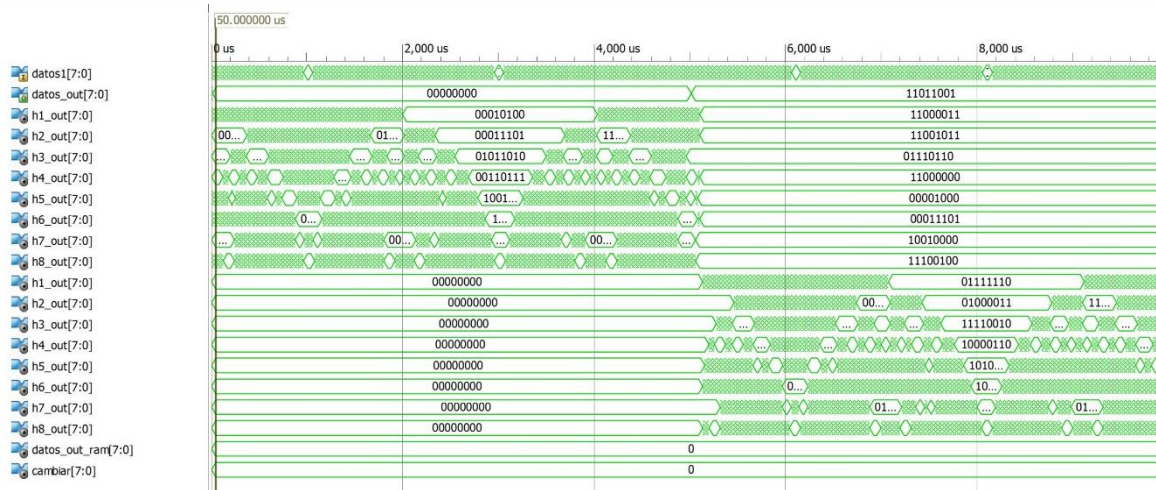
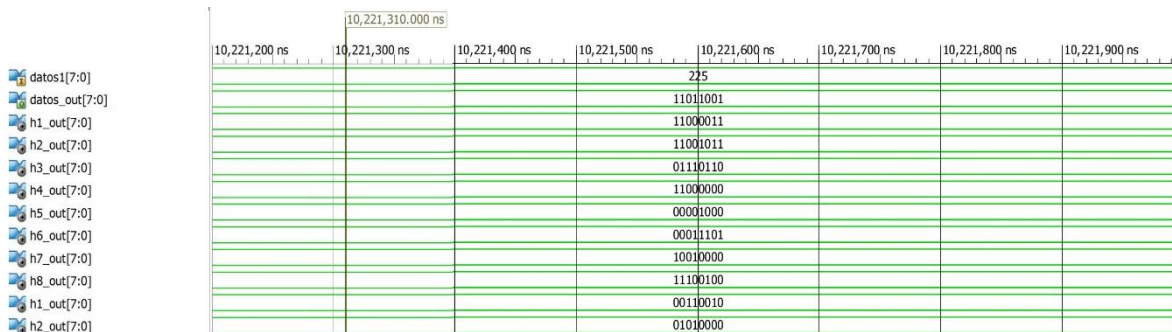


Figura 7.- Alternado de codificadores de Hamming.





“CONGRESO INTERNACIONAL DE INVESTIGACIÓN E INNOVACIÓN 2016”
Multidisciplinario
21 y 22 de abril de 2016, Cortazar, Guanajuato, México

Figura 8.- Envío de datos al termino del proceso.

Por último se muestra la señal senoidal ya restaurada por la arquitectura en la figura 9.

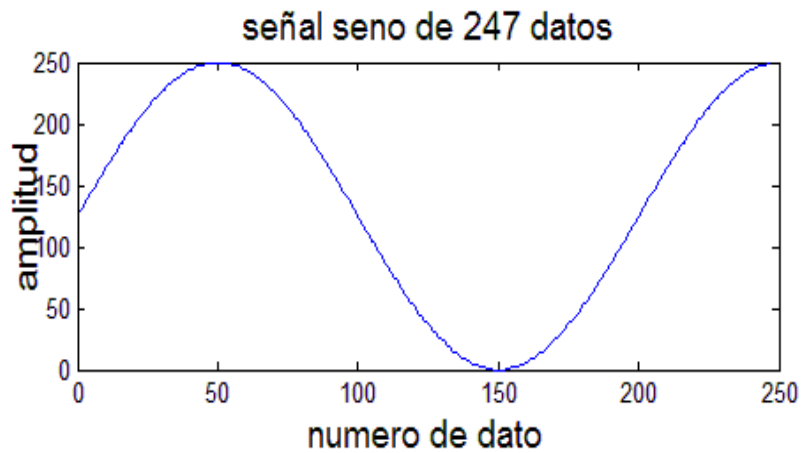


Figura 9.- Señal Senoidal restaurada por la arquitectura.



“CONGRESO INTERNACIONAL DE INVESTIGACIÓN E INNOVACIÓN 2016”

Multidisciplinario

21 y 22 de abril de 2016, Cortazar, Guanajuato, México

IV. Conclusiones

La implementación de un ECC para la detección y corrección de errores durante la transmisión de datos es posible aprovechando las características de paralelismo que ofrece un FPGA, este tipo de dispositivos nos permite realizar una gran cantidad de operaciones y manejo de datos de manera muy rápida. Por otra parte es eficiente ya que este trabajo se implementó en un FPGA XC3S500E de Xilinx utilizando 1130 slices.

Por lo tanto esta arquitectura se presenta como una solución, para corregir los errores generados durante el envío de información, de sistemas de medición automatizados que manejen altas tasas de transferencia y que necesiten utilizar bajos niveles de voltaje.

V. Bibliografía

- [1] G. S Kantaris, N.A. Makris “Underwater Wireless In-Pipe Communications System” Research and Development Department iKnowHow Informatics S.A. Athens, Greece, 2015
- [2] Mariano Marina <<ECC Options for Improving NAND FLASH Memory Reliability>> Micron Software Engineer.
- [3] J. Yuan, <<A practical guide to Error-Control Coding using MATLAB, Norwood>> Artech House, 2010.
- [4] Nava Luciano, Diseño de un sistema electrónico para la medición de espesores por ultrasonido, Querétaro, Qro., México: CIDESI, 2010.
- [5] Vivado Design Suite “ECC v2.0” November 18, 2015